

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-367859

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

H01G 4/38

H01G 13/00

(21)Application number : 2001-177252

(71)Applicant : TAIYO YUDEN CO LTD

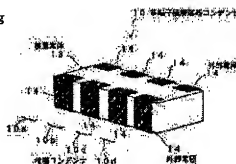
(22)Date of filing : 12.06.2001

(72)Inventor : MOGI HIROYUKI
HOSHI YUJI**(54) METHOD FOR MANUFACTURING MULTI-TERMINAL LAMINATION CERAMIC ELECTRONIC COMPONENT**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method of a multiple-terminal lamination ceramic electronic component for forming a narrow external electrode having high strength.

SOLUTION: A lamination element body 13 before burning is formed by laminating a plurality of ceramic green sheets where a conductive paste layer for forming an inner electrode is formed on the surface, and a conductive paste for forming an external electrode 14 is formed on the outer surface of the lamination element body 13 before burning and is burned, thus manufacturing the multiple-terminal lamination ceramic electronic component 10 such as a capacitor array. In this case, as a conductive paste for the external electrode, the conductive paste where resin is added is used, where the resin has a linear macromolecular structure and a three-dimensional mesh structure, thus increasing the strength of the external electrode 14 by further combining a three-dimensional crosslinking connection with the two-dimensional connection.



(51) Int.Cl. ⁷	識別番号	F I	ナニト(参考)
H 0 1 G 4/38		H 0 1 G 13/00	3 9 1 B 5 E 0 8 2
13/00	3 9 1	4/38	A

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2001-177252(P2001-177252)

(22) 出願日 平成13年6月12日 (2001. 6. 12)

(71) 出願人 000204284

太陽誘電株式会社

東京都台東区上野6丁目16番20号

(72) 発明者 茂木 宏之

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(73) 発明者 星 雄二

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(74) 代理人 100069981

弁理士 吉田 裕孝 (外 1 名)

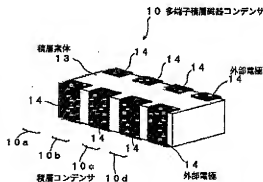
最終頁に続く

(54) 【発明の名称】 多端子積層磁器電子部品の製造方法

(57) 【要約】

【課題】 高強度を有する狭幅の外部電極を形成できる多端子積層磁器電子部品の製造方法を提供する。

【解決手段】 内部電極を形成するための導電性ペースト層を表面に形成したセラミックグリーンシートを複数積層して焼成前の積層素体13を形成し、焼成前の積層素体13の外表面に外部電極14を形成するための導電性ペースト層を形成して焼成することによりコンデンサアレイなどの多端子積層磁器電子部品10を製造する。ここで、外部電極用の導電性ペーストとして、線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂とを添加した導電性ペーストを用いることにより、2次元的な結合に対してさらに3次元的な架橋結合を組み合わせて外部電極14の強度を高める。



【特許請求の範囲】

【請求項1】 内部に複数の電子部品素子を構成する複数の内部電極を備えた回路からなる積層素体を有し、該積層素体の外表面に前記内部電極に接続された複数の外部電極が前記各電子部品素子毎に設けられている多端子積層磁器電子部品の製造方法において、

前記内部電極を形成するための導電性ペースト層を表面に形成したセラミックグリーンシートを複数積層して焼成前の積層素体を形成する工程と、

前記焼成前の積層素体の外表面に外部電極を形成するための導電性ペースト層を形成する工程と、

前記外部電極を形成するための導電性ペースト層が形成された焼成前の積層素体を焼成する工程とを有し、

前記外部電極用の導電性ペーストは、線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂とを含むことを特徴とする多端子積層磁器コンデンサの製造方法。

【請求項2】 前記外部電極用の導電性ペーストは、線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂とを混合してなる有機バインダーを導電粉とセラミック粉との混合物に加えて溶剤に分散してなり、

前記セラミック粉が前記セラミックグリーンシートを形成するセラミック粉と同一であることを特徴とする請求項1に記載の多端子積層磁器電子部品の製造方法。

【請求項3】 前記外部電極用の導電性ペーストには、前記導電粉100重量部に対して、前記線状の高分子構造を持つ樹脂として5重量部以上20重量部以下のエチルセルロースが含まれていると共に、前記3次元の網目構造を有する高分子構造を持った樹脂として1重量部以上50重量部以下のポリイミドが含まれていることを特徴とする請求項1に記載の多端子積層磁器電子部品の製造方法。

【請求項4】 前記外部電極用の導電性ペーストには、前記導電粉100重量部に対して、前記線状の高分子構造を持つ樹脂として5重量部以上20重量部以下のエチルセルロースが含まれていると共に、前記3次元の網目構造を有する高分子構造を持った樹脂として1重量部以上50重量部以下のポリイミドが含まれていることを特徴とする請求項1に記載の多端子積層磁器電子部品の製造方法。

【請求項5】 前記外部電極用の導電性ペーストには、前記導電粉100重量部に対して、前記線状の高分子構造を持つ樹脂として5重量部以上20重量部以下のエチルセルロースが含まれていると共に、前記3次元の網目構造を有する高分子構造を持った樹脂として1重量部以上50重量部以下のポリイミドが含まれていることを特徴とする請求項1に記載の多端子積層磁器電子部品の製造方法。

【請求項6】 前記電子部品素子がコンデンサであるこ

とを特徴とする請求項1に記載の多端子積層磁器電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンデンサアレイやインダクタアレイに代表される多端子積層磁器電子部品の製造方法に関し、特に積層素体と外部電極とを同時に焼成する製造方法に関するものである。

【0002】

【従来の技術】近年、電子回路の小型化及び集積化が進み、これに伴い個々の電子部品の複合化やアレイ化が行われている。この様なアレイ電子部品の一例として、複数のコンデンサ素子を一体化形成した多端子積層磁器コンデンサの需要も増大している。

【0003】多端子積層磁器コンデンサは、周知のように誘電体磁器層と内部電極層及び内部電極を接続する外部電極とからなることを基本的な構成としている。

【0004】また、多端子積層磁器コンデンサには、積層誘電体磁器の内部に2以上のコンデンサ素子が内蔵され、個々に外部電極が形成されているもの、若しくは内部電極層のパターンの異なる多数の引出部を有し、個々に外部電極が形成されたものが存在する。

【0005】また、多端子積層磁器コンデンサの製造方法としては、誘電体磁器層となるセラミックグリーンシートに内部電極層となる導電性ペーストを塗布して、これを複数積層した積層素体を焼成した後に外部電極の焼き付けを行うのが一般的である。

【0006】

【発明が解決しようとする課題】前述のように部品の小型化集積化が進むにつれ、小型の積層素体に内蔵されるコンデンサ素子の数が増加し、外部電極の幅を狭く形成する必要がある。

【0007】しかし、上記従来例のように焼成した積層素体に外部電極の焼き付けを行う手法であると、外部電極を形成する際に外部電極形成用の導電性ペーストの塗布精度をある一定以上得るのが困難であるため、外部電極の幅を狭く形成すること及び隣り合う外部電極間の間隙を狭くすること即ち狭ピッチ化が非常に困難であるという問題点があった。さらに、外部電極の幅を狭く形成すると外部電極と積層素体との間の接着強度が低下するため、積層素体から外部電極が剥がれたり脱落したりすることがある。

【0008】本発明の目的は上記の問題点に鑑み、高強度を有する狭幅の外部電極を形成できる多端子積層磁器電子部品の製造方法を提供することである。

【0009】

【課題を解決するための手段】本発明は上記の目的を達成するために請求項1では、内部に複数の電子部品素子を構成する複数の内部電極を備えた回路からなる積層素体を有し、該積層素体の外表面に前記内部電極に接続さ

れた複数の外部電極が前記各電子部品素子毎に設けられている多端子積層磁器電子部品の製造方法において、前記内部電極を形成するための導電性ペースト層を表面に形成したセラミックグリーンシートを複数積層して焼成前の積層素体を形成する工程と、前記焼成前の積層素体の外表面に外部電極を形成するための導電性ペースト層を形成する工程と、前記外部電極を形成するための導電性ペースト層が形成された焼成前の積層素体を焼成する工程とを有し、前記外部電極用の導電性ペーストは、線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂とを含む多端子積層磁器電子部品の製造方法を提案する。

【0010】該多端子積層磁器電子部品の製造方法によれば、焼成前の積層素体に外部電極を形成するための導電性ペースト層が形成された後に、これらが同時に焼成されて外部電極が形成される。ここで、焼成前の積層素体と焼成後の積層素体では、焼成によって積層素体に収縮が生ずるので、焼成前の積層素体の方がやや寸法が大きい。このため、焼成後の積層素体に前記外部電極用の導電性ペースト層を形成するよりも、焼成前の積層素体に前記外部電極用の導電性ペースト層を形成する方が寸法精度の許容誤差範囲が拡大するので、従来よりも狭い幅の外部電極を高精度で形成することができる。

【0011】さらに、前記外部電極を形成するための導電性ペーストには、線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂とが含まれているので、2次元的な結合に対して、さらに3次元的な架橋結合が組み合わさるため、外部電極の強度が高められる。

【0012】また、請求項2では、請求項1に記載の多端子積層磁器電子部品の製造方法において、前記外部電極用の導電性ペーストは、線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂とを混合してなる有機バインダーを導電粉とセラミック粉との混合物に加えて溶剤に分散してなり、前記セラミック粉が前記セラミックグリーンシートを形成するセラミック粉と同一である多端子積層磁器電子部品の製造方法を提案する。

【0013】該多端子積層磁器電子部品の製造方法によれば、線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂とを混合してなる有機バインダーを導電粉とセラミック粉との混合物に加えて溶剤に分散してなる外部電極用導電性ペーストが用いられる。これにより、前記外部電極用導電性ペーストが焼成されると、前記導電粉同士の電気的結合が保たれた状態で前記線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂により硬化される。さらに、前記セラミック粉が前記セラミックグリーンシートを形成するセラミック粉と同一であるので、これらのセラミック粉の結合によって外部電

極と焼成後の積層素体との接着強度が高められる。

【0014】また、本発明では、線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂の種類とその割合比に関して、請求項3では、前記導電粉100重量部に対して、前記線状の高分子構造を持つ樹脂として5重量部以上20重量部以下のエチルセルローズが含まれていると共に、前記3次元の網目構造を有する高分子構造を持った樹脂として1重量部以上50重量部以下のポリイミドが含まれている外部電極用導電性ペーストを用いた多端子積層磁器電子部品の製造方法を提案する。

【0015】また、請求項4では、前記導電粉100重量部に対して、前記線状の高分子構造を持つ樹脂として5重量部以上20重量部以下のエチルセルローズが含まれていると共に、前記3次元の網目構造を有する高分子構造を持った樹脂として1重量部以上50重量部以下のエポキシが含まれている外部電極用導電性ペーストを用いた多端子積層磁器電子部品の製造方法を提案する。

【0016】さらに、請求項5では、前記導電粉100重量部に対して、前記線状の高分子構造を持つ樹脂として5重量部以上20重量部以下のエチルセルローズが含まれていると共に、前記3次元の網目構造を有する高分子構造を持った樹脂として1重量部以上50重量部以下のシリコンが含まれている外部電極用導電性ペーストを用いた多端子積層磁器電子部品の製造方法を提案する。

【0017】また、請求項6では、請求項1に記載の多端子積層磁器電子部品の製造方法において、前記電子部品素子がコンデンサである多端子積層磁器電子部品の製造方法を提案する。

【0018】

【発明の実施の形態】以下、図面に基づいて本発明の一実施形態を説明する。

【0019】図1は本発明の一実施形態における多端子積層磁器コンデンサを示す外部斜視図、図2はその要部分解斜視図、図3はその平面図、図4は図3のA-A線矢視方向断面図である。図において、10は多端子積層磁器コンデンサで、一の誘電体層11上に複数の内部電極12を並列に形成したものを複数積層してなる積層素体13と、積層素体13の両端面において内部電極12を交互に並列に接続している複数の外部電極14とから構成され、内部に独立した4個の積層コンデンサ10a、10b、10c、10dが形成されている。この様な多端子積層磁器コンデンサ10は、一般にコンデンサアレイと称されている。

【0020】個々の積層コンデンサ10a~10dにおいて、内部電極12は層毎に交互にずらして配置され、内部電極12の一端が外部電極14に接続されている。

【0021】誘電体層11は矩形のシート上のセラミック焼結体からなり、セラミック焼結体は、例えばチタン

酸バリウム系誘電体材料を主成分とする誘電体磁器材料から形成されている。

【0022】内部電極12は導電性ペーストを焼結させた金属薄膜からなり、導電性ペーストとしては、例えばニッケル(Ni)を主成分とするものが使用され、金属含有量は主に40重量%～80重量%が用いられている。

【0023】外部電極14は、導電粉と有機バインダーとなる樹脂、及びセラミック粉を混合したものである。前記導電粉としてはニッケル(Ni)を主体とする金属粉末が用いられている。また、有機バインダーとなる樹脂としては、線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂の混合物が用いられている。この線状の高分子構造を持つ樹脂としては、例えばエチルセルロースやアクリル、PVB、ポリエチレンオキシド等が用いられる。また、立体的な3次元の網目構造を有する高分子構造を持った樹脂としては、例えばエポキシやシリコン或いはポリミドなどが用いられる。

【0024】これにより、前述した多端子積層磁器コンデンサ10を1個用いることにより、4つの独立した積層コンデンサ10a-10dを使用することができるので、回路の小型化、及び部品実装密度の向上を図ることができる。

【0025】また、本実施形態では以下に説明する方法によって外部電極14を形成したので、幅の狭い外部電極14を高精度で形成することができると共に、外部電極14の強度を増し、従来に比べて積層素体13からの外部電極14の剥がれや脱落、割れなどの発生を低減することができた。

【0026】以下に、上記多端子積層磁器コンデンサ10の製造方法を説明する。

【0027】本実施形態では、積層素体13の原材料としてチタン酸バリウム系誘電体材料を用い、この配合原料をボールミルで湿式混合して粉砕した後に乾燥し、空気中において1100℃で2時間焼成して仮焼物を得た。

【0028】次に、乾式粉碎機を用いて上記仮焼物を粉砕し、粒径が1μm以下の原料粉末を得た。その後、原料粉末に対してポリビニルブチル系バインダーと、エタノールなどの有機溶剤を加えて、ボールミルによって湿式混合し、セラミックスラリーを調整した。次いで、セラミックスラリーをドクターブレード法によってシート形成して、厚みが23μmの矩形的セラミックグリーンシートを得た。

【0029】この後、セラミックグリーンシートに、前述したニッケル(Ni)を主体とする導電性ペーストを印刷し、内部電極12を構成するための導電性ペースト層を形成した。さらに、この導電性ペースト層が形成さ

れたセラミックグリーンシートを、導電性ペースト層が引き出されている状態になるように複数枚積層して、積層体(焼成前の積層素体)を得た。

【0030】得られた積層体の角取りを行った後に外部電極用導電性ペーストを転写し、酸素分圧が 10^{-9} ～ 10^{-12} MPaのH-N-空気が流れる還元性雰囲気中において、1300℃で2時間焼成し、多端子積層磁器コンデンサ10を得た。

【0031】一方、上記外部電極用導電性ペーストは次のようにして作成したものをを用いた。

【0032】即ち、平均粒径1.4μmのニッケル(Ni)粉末100重量部に対して、チタン酸バリウム粉末を5～10重量部と、有機バインダーとしてのエチルセルロースを10重量部を混合した後、溶剤として60重量部のタービネオールを添加し、攪拌機1時間混合した後、さらにロールミルで混合した。

【0033】次いで、この混合物に対して、前述した立体的な3次元の網目構造を有する高分子構造を持った樹脂を添加した後ロールミルで混合して、外部電極用導電性ペーストを得た。

【0034】尚、平均粒径1.4μmのニッケル粉末に代えて、平均粒径0.3μmのニッケル粉末を用いても良い。また、溶剤としてタービネオールに代えてブチルカルビトール等の使用するバインダーと相性の良いものを用いても良い。また、有機バインダーとしてのエチルセルロースの量は、5～20重量部の間の任意の量であっても同じ結果を得ている。

【0035】この様に、本実施形態では前記積層体(焼成前の積層素体)に外部電極用導電性ペースト層を形成した後に焼成することによって、多端子積層磁器コンデンサ10を得ているので、高い精度を持って狭い幅の外部電極14を形成することができる。この実験結果の一例として、図5に400μmの幅の外部電極14を形成したときの検証結果を示すと共に、図6に200μmの幅の外部電極14を形成したときの検証結果を示す。

【0036】各図には、従来のように焼成した積層素体に対して外部電極を形成したときの値と、上記実施形態のように積層体に外部電極用導電ペースト層を形成したときの値及びこれを焼成した後の値をそれぞれ示している。

【0037】また、図に示す各値は、工程能力調査に必要な規格のセンター値と、規格値上限、規格値下限、平均値、標準偏差σ、かたより度Kと、これらの値から算出した工程能力指数C_p及びかたよりを評価した工程能力指数C_pkである。

【0038】工程能力指数C_pは、周知のように次の

(1)式から算出される。

【0039】

$$C_p = (\text{規格値上限} - \text{規格値下限}) / [6 \times (\text{標準偏差})] \quad \dots (1)$$

また、かたよりを評価した工程能力指数 C_{pk} は、次の(2)式から算出される。

$$[0040] C_{pk} = [1 - (\text{かたより度})] C_p \quad \cdots (2)$$

図5に示したように、幅が400 μm の外部電極14を従来の手法で形成した多端子積層磁器コンデンサ10を500個製造した場合、規格のセンター値が400.00 μm 、規格値上限が500.00 μm 、規格値下限が300.00 μm 、平均値が400.50 μm 、標準偏差 σ が27.24、かたより度 k が0.01となり、工程能力指数 C_p が1.22、かたよりを評価した工程能力指数 C_{pk} が1.22となった。

[0041] また、幅が400 μm の外部電極14を上記実施形態の手法で形成した多端子積層磁器コンデンサ10を500個製造した場合、焼成前では、規格のセンター値が500.00 μm 、規格値上限が625.00 μm 、規格値下限が375.00 μm 、平均値が503.55 μm 、標準偏差 σ が14.97、かたより度 k が0.03となり、工程能力指数 C_p が2.78、かたよりを評価した工程能力指数 C_{pk} が2.70となり、焼成後では、規格のセンター値が400.00 μm 、規格値上限が500.00 μm 、規格値下限が300.00 μm 、平均値が402.95 μm 、標準偏差 σ が11.01、かたより度 k が0.03となり、工程能力指数 C_p が3.03、かたよりを評価した工程能力指数 C_{pk} が2.94となった。

[0042] 一方、図6に示したように、幅が200 μm の外部電極14を従来の手法で形成した多端子積層磁器コンデンサ10を500個製造した場合、規格のセンター値が200.00 μm 、規格値上限が250.00 μm 、規格値下限が150.00 μm 、平均値が199.00 μm 、標準偏差 σ が27.70、かたより度 k が0.02となり、工程能力指数 C_p が0.60、かたよりを評価した工程能力指数 C_{pk} が0.59となった。

[0043] また、幅が200 μm の外部電極14を上記実施形態の手法で形成した多端子積層磁器コンデンサ10を500個製造した場合、焼成前では、規格のセンター値が200.00 μm 、規格値上限が312.50 μm 、規格値下限が187.50 μm 、平均値が254.55 μm 、標準偏差 σ が14.32、かたより度 k が0.07となり、工程能力指数 C_p が1.45、かたよりを評価した工程能力指数 C_{pk} が1.35となり、焼成後では、規格のセンター値が200.00 μm 、規格値上限が250.00 μm 、規格値下限が150.00 μm 、平均値が203.95 μm 、標準偏差 σ が10.17、かたより度 k が0.08となり、工程能力指数 C_p が1.64、かたよりを評価した工程能力指数 C_{pk} が1.51となった。

[0044] このように積層体を焼成する前に外部電極用導電性ペースト層を形成することにより、400 μm 幅はもちろんのこと、200 μm 幅の外部電極14においても十分な工程能力指数 C を得ることができ、精度を持って外部電極14を形成することができた。

[0045] 尚、工程能力指数 C_p の判断基準の一例として、例えば次の基準が知られている。即ち、 $C_p \geq 1.67$ のときは、工程能力は十分すぎる、 $1.67 > C_p \geq 1.33$ の

ときは、工程能力は十分である、 $1.33 > C_p \geq 1.00$ のときは、工程能力は十分とは言えないがまずまずである、 $1.00 > C_p \geq 0.67$ のときは、工程能力が不足しており、工程の管理・改善を必要としている、 $0.67 > C_p$ のときは、工程能力が異常に不足しており、とても品質を満足する状態ではない。

[0046] さらに、本願実施形態では、前述のように線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂とを添加した導電性ペーストを用いて外部電極14を形成したので、外部電極14の割れや剥離、脱落の発生を低減することができた。この実験結果を図7に示す。

[0047] 図7に示す実験例1～9は本実施形態における実施例であり、立体的な3次元の網目構造を有する高分子構造を持った樹脂として、エポキシ、シリコーン、ポリイミドを用いた場合を示す。また、実験例10～13は線状の高分子構造を持つ樹脂としてのエチルセルロースのみを含む導電性ペーストを用いて外部電極を形成した場合を示している。

[0048] また、これらの実験例1～13のそれぞれにおける硬度の測定は、導電性ペーストを100 μm の厚さでガラス基板に塗布し、150℃で1時間乾燥した後、その硬度をビッカース硬度計で測定した値である。

[0049] また、これらの実験例1～13のそれぞれにおける「外部電極形成時の割れ、剥離等の発生率」は、積層体(焼成前の積層素体13)に外部電極用導電性ペースト層を形成した成形体(焼成でないもの)における値であって、この成形体を500個製造したときの値である。

[0050] また、以下の説明における基本導電性ペーストとは、平均粒径1.4 μm のニッケル(Ni)粉末100重量部に対して、チタン酸バリウム粉末を5～50重量部と、有機バインダーとしてのエチルセルロース(線状の高分子構造を持つ樹脂)を10重量部を混合した後、溶剤として60重量部のタービネオールを添加し、攪拌機1時間混合した後、さらにローランドで混合して得られた導電性ペーストのことである。

[0051] 実験例1は、基本導電性ペーストに1重量部のエポキシを添加して得られた導電性ペーストを用いた場合であり、硬度が11kgf/mm²であり、割れ等々の発生率が1%であった。

[0052] 実験例2は、基本導電性ペーストに4重量部のエポキシを添加して得られた導電性ペーストを用いた場合であり、硬度が34kgf/mm²であり、割れ等々の発生率が1%であった。

[0053] 実験例3は、基本導電性ペーストに7重量部のエポキシを添加して得られた導電性ペーストを用いた場合であり、硬度が50kgf/mm²であり、割れ等々の発生率が0%であった。

【0054】実験例4は、基本導電性ペーストに10重量部のエポキシを添加して得られた導電性ペーストを用いた場合であり、硬度が5 kgf/mm²であり、割れ等の発生率が0%であった。

【0055】実験例5は、基本導電性ペーストに30重量部のエポキシを添加して得られた導電性ペーストを用いた場合であり、硬度が6 kgf/mm²であり、割れ等の発生率が0%であった。

【0056】実験例6は、基本導電性ペーストに1重量部のシリコンを添加して得られた導電性ペーストを用いた場合であり、硬度が1 kgf/mm²であり、割れ等の発生率が10%であった。

【0057】実験例7は、基本導電性ペーストに10重量部のシリコンを添加して得られた導電性ペーストを用いた場合であり、硬度が2 kgf/mm²であり、割れ等の発生率が1%であった。

【0058】実験例8は、基本導電性ペーストに1重量部のポリミドを添加して得られた導電性ペーストを用いた場合であり、硬度が15 kgf/mm²であり、割れ等の発生率が10%であった。

【0059】実験例9は、基本導電性ペーストに10重量部のポリミドを添加して得られた導電性ペーストを用いた場合であり、硬度が4 kgf/mm²であり、割れ等の発生率が1%であった。

【0060】実験例10は、基本導電性ペーストに1重量部のエチルセルロースを添加して得られた導電性ペーストを用いた場合であり、硬度が10 kgf/mm²であり、割れ等の発生率が40%であった。

【0061】実験例11は、基本導電性ペーストに4重量部のエチルセルロースを添加して得られた導電性ペーストを用いた場合であり、硬度が10 kgf/mm²であり、割れ等の発生率が40%であった。

【0062】実験例12は、基本導電性ペーストに10重量部のエチルセルロースを添加して得られた導電性ペーストを用いた場合であり、硬度が12 kgf/mm²であり、割れ等の発生率が30%であり、脆性が発生した。

【0063】実験例13は、基本導電性ペーストに30重量部のエチルセルロースを添加して得られた導電性ペーストを用いた場合であり、硬度が13 kgf/mm²であり、割れ等の発生率が30%であり、脆性が発生した。

【0064】上記実験結果によって確認できるように、線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂とを添加した導電性ペーストを用いて外部電極14を形成することによって、外部電極14の割れや剥離、脱落の発生を低減することができることは明らかである。

【0065】また、本発明出願人の実験結果においては、エポキシ、シリコン、ポリミドのそれぞれを1重量部

以上50重量部以下の間で添加したときに良好な結果が得られている。

【0066】尚、上記実施形態では4つの積層コンデンサ10a~10dが内蔵された4対の外部電極14を有する多端子積層磁器コンデンサ10を一例として説明したが、本発明が上記実施形態のみに限定されることはない。例えば、コンデンサ以外の多端子積層磁器電子部品であっても前述と同様の外部電極を形成することができる。さらに、外部端子の数や形成位置が上記実施形態の構成に限定されることはない。

【0067】また、本実施形態では、線状の高分子構造を持つ樹脂としてエチルセルロースを用い、立体的な3次元の網目構造を有する高分子構造を持った樹脂としてエポキシ、シリコン、ポリミドを用いたが、これら以外の樹脂を用いても良いことは言うまでもないことである。

【0068】

【発明の効果】以上説明したように本発明の請求項1乃至請求項6に記載の多端子積層磁器電子部品の製造方法によれば、焼成前の積層素体に外部電極用の導電性ペースト層を形成するため、寸法精度の許容誤差範囲が拡大するので、従来よりも狭い幅の外部電極を高精度で形成することができると共に、前記外部電極を形成するための導電性ペーストには、線状の高分子構造を持つ樹脂と立体的な3次元の網目構造を有する高分子構造を持った樹脂とが含まれているので、2次元的な結合に対して、さらに3次元的な架橋結合が組み合わさるため、外部電極の強度が高められる。これにより、高精度を有する従来よりも狭い幅の外部電極を高精度で形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態における多端子積層磁器コンデンサを示す外観斜視図

【図2】本発明の一実施形態における多端子積層磁器コンデンサを示す要部分解斜視図

【図3】本発明の一実施形態における多端子積層磁器コンデンサを示す平面図

【図4】図3のA-A線矢視方向断面図

【図5】本発明の一実施形態において400μm幅の外部電極を形成したときの工程能力指数を説明する図

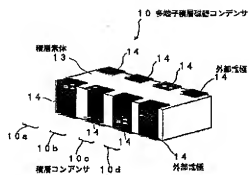
【図6】本発明の一実施形態において200μm幅の外部電極を形成したときの工程能力指数を説明する図

【図7】本発明の一実施形態において用いた外部電極用導電性ペーストの添加樹脂種と外部電極の硬度及び割れ等の発生率を説明する図

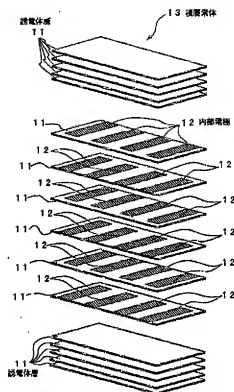
【符号の説明】

10…多端子積層磁器コンデンサ、10a~10c…積層コンデンサ、11…誘電体層、12…内部電極、13…積層素体、14…外部電極。

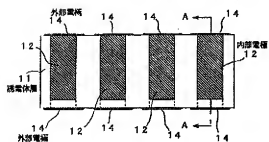
【図1】



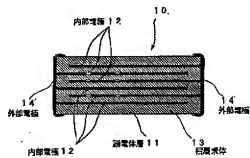
【図2】



【図3】



【図4】



【図5】

400 μ m幅の外部電極を形成したとき

	積層体焼成後に外部電極を塗布		積層体焼成前に外部電極を塗布	
	焼成前	焼成後	焼成前	焼成後
焼結のセンター値	400.00	500.00	400.00	
焼結値上偏差	500.00	625.00	500.00	
焼結値下偏差	300.00	375.00	300.00	
平均値	400.00	500.00	400.00	
標準偏差 σ	27.24	14.87	11.01	
かたより度k	0.31	0.03	0.03	
工能能力指数Cp	1.22	2.78	3.03	
かたよりを評価した工能能力指数Cpk	1.22	2.70	2.94	

【図6】

200 μ m幅の外部電極を形成したとき

	積層体焼成後に外部電極を塗布		積層体焼成前に外部電極を塗布	
	焼成前	焼成後	焼成前	焼成後
焼結のセンター値	200.00	250.00	200.00	
焼結値上偏差	250.00	312.50	250.00	
焼結値下偏差	150.00	187.50	150.00	
平均値	200.00	250.00	200.00	
標準偏差 σ	27.70	14.32	10.17	
かたより度k	0.02	0.07	0.08	
工能能力指数Cp	0.60	1.45	1.54	
かたよりを評価した工能能力指数Cpk	0.59	1.35	1.51	

【図7】

試験例	添加剤の種類	割合比率 (重量分比)	硬度 (kgf/mm ²)	割合比率、割合の の発生率(%)
1	エポキシ	1重量部	1.1	1.0
		4重量部	3.4	1
		7重量部	5.0	0
		10重量部	5.5	0
		30重量部	6.0	0
2	シリコン	1重量部	1.1	1.0
		10重量部	2.0	1
		15重量部	1.5	1.0
3	ポリイミド	10重量部	4.0	1
		10重量部	1.0	4.0
		4重量部	1.0	4.0
4	エポキシ	10重量部	1.2	3.0 (絶縁発生)
		30重量部	1.3	3.0 (絶縁発生)

フロントページの続き

Fターム(参考) 5E082 AA01 BC31 CC03 EE04 EE21
 EE35 FG06 FG26 GG10 GG28
 JJ09 JJ23 LL13 PP03